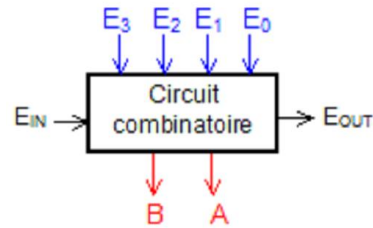


Exercice-4.1

Soit un circuit combinatoire à 5 lignes d'entrée et 3 lignes de sorties, comme le montre la figure ci-dessous.



Le fonctionnement est le suivant :

- Lorsqu'une seule ligne d'entrée parmi E_0, E_1, E_2, E_3 , se trouve au niveau haut, son numéro est codé en binaire sur les sorties BA.
- Si plusieurs lignes sont simultanément au niveau haut, le circuit code le numéro le plus élevé.
- Si toutes les lignes d'entrée sont au niveau bas, le circuit code BA=00, mais on signale par $E_{OUT}=1$ que ce code n'est pas validé. Dans tous les autres cas $E_{OUT}=0$.
- Le fonctionnement décrit jusqu'ici s'observe lorsque $E_{IN}=1$.
Si $E_{IN}=0$, on a $B=A=E_{OUT}=0$.

- 1- Donner la table de vérité du codeur.
- 2- Donner les expressions logiques des sorties A, B et E_{OUT} en fonction des entrées de $E_0 \dots E_3$ et E_{IN} .
- 3- En déduire le circuit logique du codeur.
- 4- Comment peut obtenir un codeur de priorité à 8 entrées à partir de deux codeurs et de quelques portes logiques nécessaires.

Solution

1) La table de vérité du codeur:

E_{IN}	E_3	E_2	E_1	E_0	B	A	E_{OUT}
0	x	x	x	x	0	0	0
1	1	x	x	x	1	1	0
1	0	1	x	x	1	0	0
1	0	0	1	x	0	1	0
1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1

2) Les expressions logiques des sorties A, B et E_{OUT} en fonction des entrées $E_0 \dots E_3$ et E_{IN} :

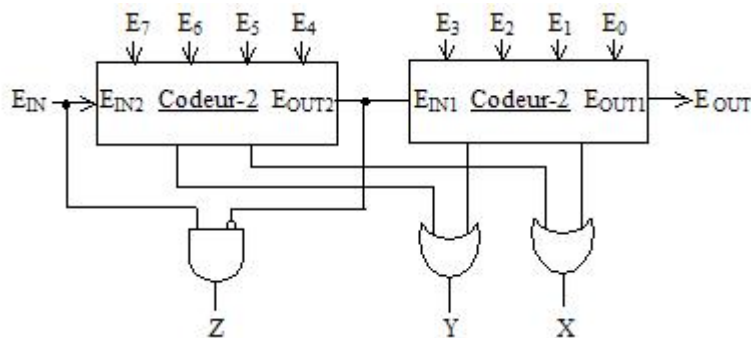
$$A = E_{IN} \cdot (E_3 + \bar{E}_3 \bar{E}_2 E_1) = E_{IN} \cdot (E_3 + \bar{E}_2 E_1)$$

$$B = E_{IN} \cdot (E_3 + \bar{E}_3 E_2) = E_{IN} \cdot (E_3 + E_2)$$

$$E_{OUT} = E_{IN} \cdot \bar{E}_3 \bar{E}_2 \bar{E}_1 \bar{E}_0$$

3) Le logigramme du codeur est donné par l'applet **▶▶ Applet**

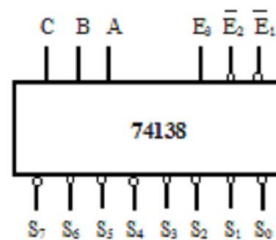
4) On peut obtenir un codeur à 8 entrées et 3 sorties partir de la mise en cascade de deux codeurs, en connectant la sortie EOUT de l'un à l'entrée EIN de l'autre avec 3 portes logiques aux sorties, comme le montre la figure ci-dessous :



- Si $E_{IN}=0$, le codeur-2 est invalide, sa sortie $E_{OUT2}=0$ rend le codeur-1 invalide aussi. A la sortie $Z=Y=X=0$.
- Si $E_{IN}=1$, le codeur-2 est validé, sa sortie $E_{OUT2}=0$ rend le codeur-1 invalide. Si une touche du codeur-2 est activée, on obtient son code à la sortie : $Z=1, Y=B_2, X=A_2$.
- Si $E_{IN}=1$, le codeur-2 est validé, mais aucune touche de ses entrées n'est activée alors $E_{OUT2}=1$ rend le codeur-1 valide. Si une touche du codeur-1 est activée, on obtient son code à la sortie : $Z=0, Y=B_1, X=A_1$. Si aucune touches des deux codeurs n'est activée, on obtient en sortie : $Z=Y=X=0$

Exercice-4.2

Comment peut-on obtenir un décodeur à 24 sorties en utilisant trois décodeurs 74138 à 8 sorties ? On n'utilise aucune porte extérieure.



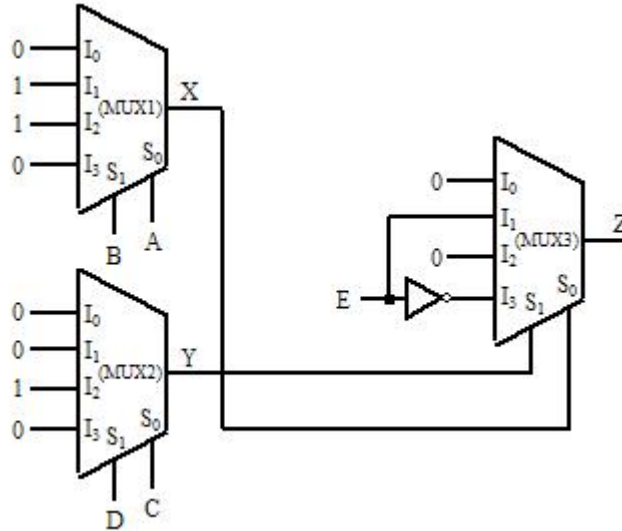
Solution

En utilisant les entrées de validation du décodeur 74138, on peut obtenir un décodeur à 24 sorties. Le tableau qui suit montre la validation des décodeurs en fonction des bits de fort poids E et D.

E	D	Décodeur validé
0	0	Décodeur-1
0	1	Décodeur-2
1	0	Décodeur-3

Exercice-4.3

Soit le montage de la figure ci-dessous, réalisé à partir de trois multiplexeurs MUX-1, MUX-2 et MUX-3 chacun à 4 entrées.



- 1-Donner l'expression logique de Z en fonction de A, B, C, D et E.
- 2-Ecrire cette expression qu'avec des OU exclusifs.

Solution

- 1) $Z = (A\bar{B} + \bar{A}B) \cdot (E\bar{C}\bar{D} + \bar{E}C\bar{D})$
- 2) $Z = (A \oplus B) \cdot (E \oplus \bar{C}D)$

Exercice-4.4

On veut réaliser un dé électronique à diodes LED disposées comme le montre la figure-1.

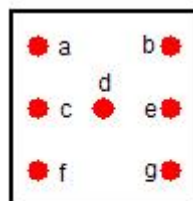


Figure-1

Les différentes combinaisons d'affichage du dé électronique sont représentées dans la figure-2.

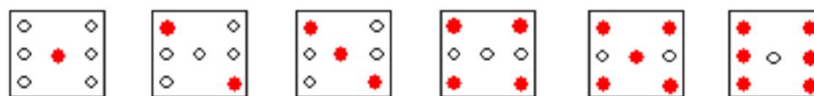


Figure-2

A titre d'exemple, si on veut afficher 2, il faut allumer les diodes a et g.

On veut réaliser le circuit logique de commande pour allumer les diodes. Ce circuit doit comporter 7

sorties, soit une sortie par diode (a, b, c, d, e, f, g) et 3 entrées A, B, C pour le code binaire.

- 1- Déterminer la table de vérité.
- 2- Déterminer les expressions simplifiées des sorties (a, b, c, d, e, f, g) en fonction des entrées A, B et C.
- 3- Donner le circuit logique de commande.

Solution

1- La table de vérité

C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0
0	1	0	1	0	0	0	0	0	1
0	1	1	1	0	0	1	0	0	1
1	0	0	1	1	0	0	0	1	1
1	0	1	1	1	0	1	0	1	1
1	1	0	1	1	1	0	1	1	1
1	1	1	0	0	0	0	0	0	0

On note que pour les combinaisons d'entrée 0 (000) et 7 (111) aucune diode ne doit être allumée.

2- On effectue la simplification des expressions logiques de a, b, c, d, e, f et g avec la table de Karnaugh.

	$\bar{B}.A$	$B.\bar{A}$	$B.A$	$B.\bar{A}$
\bar{C}	0	0	1	1
C	1	1	0	1

$a=g=\bar{B}.C+B.\bar{C}+\bar{A}.B$

	$\bar{B}.A$	$B.\bar{A}$	$B.A$	$B.\bar{A}$
\bar{C}	0	0	0	0
C	0	0	0	1

$c=e=\bar{A}.B.C$

	$\bar{B}.A$	$B.\bar{A}$	$B.A$	$B.\bar{A}$
\bar{C}	0	0	0	0
C	1	1	0	1

$b=f=\bar{B}.C+\bar{A}.C$

	$\bar{B}.A$	$B.\bar{A}$	$B.A$	$B.\bar{A}$
\bar{C}	0	1	1	0
C	0	1	0	0

$d=A.\bar{C}+A.\bar{B}$

Exercice-4.5

La figure-1 représente un comparateur de deux nombres binaires x_i et y_i à 1 bit.

1- Effectuer la synthèse de ce circuit logique.

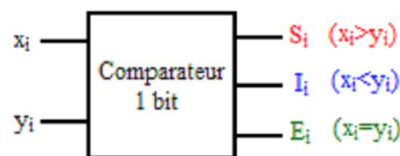


Figure-1

2- On veut réaliser un comparateur de deux nombres binaires à trois bits $X=x_2x_1x_0$ et $Y=y_2y_1y_0$, dont le schéma synoptique est donné par la figure-2. On note que x_0 et y_0 sont les bits de poids les plus faibles.

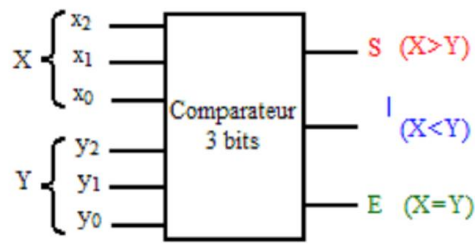


Figure-2

- a- Donner les expressions logiques des sorties S, I et E en fonction des sorties S_i, I_i, E_i avec $i=0, 1, 2$ du comparateur à 1 bit.
- b- En déduire le schéma interne du comparateur à 3 bits.

3- On veut afficher les sorties du comparateur (S, I, E) sur un afficheur 7 segments à cathodes communes en utilisant un transcodeur, comme le montre la figure-3a, et ce pour obtenir l'affichage donné par la figure-3b.

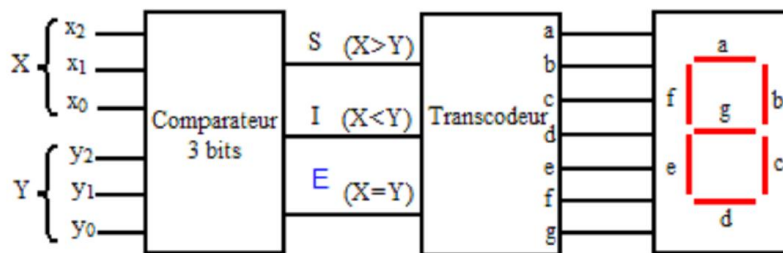
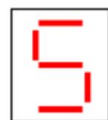


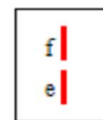
Figure-3a



(Si $X > Y$)



(Si $X = Y$)



(Si $X < Y$)

Figure-3b

- a- Donner la table de transcodage permettant le passage du code S, I, E au code 7 segments.
- B-- En déduire le schéma interne du transcodeur.

Solution

1- La table de vérité d'un comparateur de deux nombres binaires x_i et y_i à 1 bit est la suivante :

x_i	y_i	S_i	I_i	E_i
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

Les expressions logiques des sorties du comparateur en fonction des entrées x_i et y_i sont :

$$S_i = x_i \cdot \bar{y}_i$$

$$I_i = \bar{x}_i \cdot y_i$$

$$E_i = x_i \cdot y_i + \bar{x}_i \cdot \bar{y}_i = \overline{x_i \oplus y_i}$$

A partir des expressions ci-dessus, le circuit logique du comparateur à 1 bit est donné par l'applet **▶▶ Applet**

2-a- Pour comparer deux nombres binaires à 3 bits $X=x_2x_1x_0$ et $Y=y_2y_1y_0$, il faut comparer bit par bit, en commençant par les bits de poids le plus fort, s'ils sont égaux on passe aux bits de poids immédiatement inférieur et ainsi de suite.

- $X > Y$ si :

$$x_2 > y_2 \quad (S_2 = 1)$$

$$\text{ou } x_2 = y_2 \quad (E_2 = 1) \text{ et } x_1 > y_1 \quad (S_1 = 1)$$

$$\text{ou } x_2 = y_2 \quad (E_2 = 1) \text{ et } x_1 = y_1 \quad (E_1 = 1) \text{ et } x_0 > y_0 \quad (S_0 = 1)$$

$$\text{d'où : } S = S_2 + E_2 \cdot S_1 + E_2 \cdot E_1 \cdot S_0$$

- $X < Y$ si :

$$x_2 < y_2 \quad (I_2 = 1)$$

$$\text{ou } x_2 = y_2 \quad (E_2 = 1) \text{ et } x_1 < y_1 \quad (I_1 = 1)$$

$$\text{ou } x_2 = y_2 \quad (E_2 = 1) \text{ et } x_1 = y_1 \quad (E_1 = 1) \text{ et } x_0 < y_0 \quad (I_0 = 1)$$

$$\text{d'où : } I = I_2 + E_2 \cdot I_1 + E_2 \cdot E_1 \cdot I_0$$

- $X = Y$ si :

$$x_2 = y_2 \quad (E_2 = 1) \text{ et } x_1 = y_1 \quad (E_1 = 1) \text{ et } x_0 = y_0 \quad (S_0 = 1)$$

$$\text{d'où : } E = E_2 \cdot E_1 \cdot E_0$$

Le schéma interne du comparateur à 3 bits est donné par l'applet **▶▶ Applet**

3- a- La table du transcodage:

Entrées			Sorties						
S	I	E	a	b	c	d	e	f	g
1	0	0	1	0	1	1	0	1	1
0	1	0	0	0	0	0	1	1	0
0	0	1	1	0	0	1	1	1	1

Les expressions de a, b, c, d, e, f, g en fonction de S, I, E se déduisent de la table de transcodage comme suit :

$$a = d = g = S + E = \bar{I}$$

$$b = 0$$

$$c = S$$

$$e = I + E = \bar{S}$$

$$f = S + I + E = 1$$

L'applet suivante donne le schéma complet du comparateur à 3 bits avec son circuit d'affichage **▶▶ Applet**